

Japanese Patent Laid-open Publication No. SHO 58-202681 A

Publication date : November 25, 1983

Applicant : Tokyo Shibaura Denki K. K. et al.

Title : DATA SIGNAL RECEIVER

5

(2) A data signal receiver according to claim 1, characterized in that the interpolation data computation means comprises: a multiplier for multiplying digital data read out from the digital data storage means by an interpolation
10 coefficient sequence selected by the interpolation coefficient selection means, and an accumulator for accumulating a multiplication result of the multiplier.

(3) A data signal receiver according to claim 1, characterized in that the interpolation coefficient selection
15 means detects a difference between a maximum value and a minimum value of data in a portion corresponding to a clock run-in portion of a received data signal included in interpolation data, and selects such an interpolation coefficient sequence as to maximize the difference.

20

[Summary of the Invention]

First, a basic principle of the present invention will be described by referring to Fig. 2. There will now be considered a transmission waveform $x(t)$ of an NRZ data signal
25 which is transmitted at a signal transmission rate f_c and limited in transmission line band by f_c . It is now assumed that $x(t)$ is sampled with a frequency of $2f_c$ and a sample value

at that time is x_j . The following equation is satisfied on the basis of the sampling theorem

$$x(t) = \sum_{j=-\infty}^{\infty} x_j h(t-j\tau) \quad (1)$$

5

where $T = 1/2fc$, and $h(t)$ is a function defined by the following equation.

$$h(t) = \frac{\sin(\pi t/T)}{\pi t/T} \quad (2)$$

10

If it is attempted to derive a sample value \hat{x}_k of $x(t-\tau)$ obtained by delaying $x(t)$ by τ , the following equation is obtained from the equation (1).

$$\hat{x}_k = x(t-\tau) \big|_{t=k\tau} = \sum_{j=-\infty}^{\infty} x_j h(k\tau-\tau-j\tau) \quad (3)$$

15

If substitution $i = k - j$ is effected and the range over which the sum is derived is limited to a range $-N_1$ to N_2 , the following interpolation formula is obtained.

20

$$\hat{x}_k = \sum_{i=-N_1}^{N_2} h(i\tau-\tau) x_{k-i} \quad (4)$$

25

The equation (4) means that if a sample value x_k at an arbitrary sample point is given, a sample value \hat{x}_k at a sample point delayed by τ from the sample point is obtained by computation involving x_k and an interpolation coefficient sequence $h(iT-\tau)$.

The present invention has been made on the basis of such finding. A received data signal is sampled at a frequency equal to at least twice the signal transmission rate and digitized. Thereafter, the digitized signal is stored in
5 storage means. Interpolation data is computed on data read out from the storage means by using an interpolation coefficient sequence. In addition, the interpolation coefficient sequence to be used at that time is selected so that interpolation data equivalent to that obtained by
10 originally sampling at an optimum phase may be obtained. Interpolation data obtained by the selected interpolation coefficient sequence is sent to a decoder. This is a feature of the present invention.

[Effect of the Invention]

15 Even if the sampling clock used when taking in data in real time deviates from its optimum phase, it is possible to obtain data corresponding to optimum sampling points by conducting interpolation processing on the sample value sequence temporarily stored and supply the data to a decoder.
20 According to the present invention, it thus becomes possible to stably receive a teletext signal or the like.

[Embodiments of the Invention]

A first embodiment of the present invention is Fig. 3. In Fig. 3, a received video signal is inputted from a terminal
25 1, sampled at a frequency $2f_c$ which is twice the signal transmission rate f_c and digitized by an A/D converter 2. As for the digitized sample value x_k , sample values x_k with k

= 1 to N_p corresponding to one packet shown in Fig. 1(a) are stored in a shift register 3. (Exactly speaking, $(N + N_p)$ sample values obtained by adding the range $\Sigma(N_1 + N_2 + 1 = N)$ in the equation (4) to the length N_p of a packet are stored.)

5 Data x_k read out from the shift register 3 is supplied to an interpolation data computation section 7 including a ROM 4, a multiplier 5, and an accumulator 6.

The ROM 4 has M sets of interpolation coefficient sequences a_l^i represented by the following equation and stored therein,

$$a_l^i = h(i\tau - lT/M) \quad (l = -N_1 - N_2, l = 1 - M) \quad (5)$$

where $h(i\tau - lT/M)$ is a function indicated by the equation
15 (2). Substituting the equation (2) into the equation (5), we obtain the following equation.

$$a_l^i = \frac{\sin[\pi(i\tau - lT/M)]}{\pi(i\tau - lT/M)} \quad (6)$$

20 As for M , a section $T = 1/2fc$ is divided into M equal parts to represent the time delay τ described in the equation (4). In other words,

$$\tau = (l/M)T \quad (l = 1 - M) \quad (7)$$

25

where l represents the magnitude of τ .

From the time point when writing data into the shift

register 3 has been finished, the multiplier 5 and the accumulator 6 compute \hat{x}_k^l representing a multiplication accumulation value of data x_k read out from the shift register 3 and interpolation coefficients a_i^l as interpolation data on the basis of the following equation.

$$\hat{x}_k^l = \sum_{i=-N_1}^{N_2} a_i^l x_{k-i} \quad (l=1 \sim M) \quad (8)$$

(At this time, the readout clock frequency of the shift register 3 and the ROM 4 is set to $2Nf_{cp}$ ($N = N_1 + N_2 + 1 \dots$ the number of times of accumulation). The interpolation data \hat{x}_k is outputted at a frequency of $2f_{cp}$.) As shown in Fig. 2, \hat{x}_k^l corresponds to a sample value of a point delayed from the sample value x_k by $\tau = (1/M)T$.

On the other hand, an interpolation coefficient selection section 8 for selecting an optimum interpolation coefficient sequence to be read out from the ROM 4 is formed as follows. From among \hat{x}_k^l for a certain determined l , a shift register 9 reads $4P$ data, i.e., $\hat{x}_{p_1}^l$ to $\hat{x}_{p_2}^l$ included in data of a clock run-in portion as shown in Fig. 4(a), where $4P = P_2 - P_1 - 1$. The data \hat{x}_k^l read out from the shift register 9 is supplied to a first comparator 10.

The comparator 10 first conducts comparison between a value X_{max} stored in a memory 11 and data \hat{x}_k^l read out from the shift register 9 for $k = P_1$ to P_2 . If $\hat{x}_k^l > X_{max}$, then the value of X_{max} in the memory 11 is replaced with \hat{x}_k^l . Subsequently, the comparator 10 conducts comparison between

Xmax and \hat{x}_k^1 for $k = P_1$ to P_2 , again. If $\hat{x}_k^1 = X_{\max}$, then the value of \hat{x}_k^1 at that time is replaced with 1/2 (where the range of the signal level is assumed to be 0 to 1) by a gate 12. If the operation is finished, then the value of Xmax in the
5 memory 11 is accumulated in an accumulator 13, and concurrently therewith time Xmax is reset to 0.

Subsequently, the comparator 10 conducts comparison between Xmax stored in the memory 11 and data \hat{x}_k^1 supplied from the shift register 9 for $k = P_1$ to P_2 , again. If $\hat{x}_k^1 > X_{\max}$,
10 then Xmax is replaced with \hat{x}_k^1 , and the comparator 10 conducts comparison between Xmax and \hat{x}_k^1 for $k = P_1$ to P_2 , once more. If $\hat{x}_k^1 = X_{\max}$, then \hat{x}_k^1 is replaced with 1/2 and subsequently the value of Xmax is added to the accumulator 13. If operation heretofore described is repeated P times, then a sum of P
15 greatest values included in 4P data $\hat{x}_{p_1}^1$ to $\hat{x}_{p_2}^1$ is obtained in the accumulator 13.

Subsequently, the comparator 10 conducts comparison between a value Xmin stored in the memory 11 and data \hat{x}_k^1 supplied from the shift register 9 for $k = P_1$ to P_2 . If $\hat{x}_k^1 < X_{\min}$, then
20 the value of Xmin is replaced with \hat{x}_k^1 . Subsequently, the comparator 10 conducts comparison between \hat{x}_k^1 and Xmin for $k = P_1$ to P_2 , again. If $\hat{x}_k^1 = X_{\min}$, then the value of \hat{x}_k^1 is replaced with 1/2 by the gate 12. Thereafter, a value of Xmin with its sign inverted is added to the accumulator 13, and
25 concurrently therewith the value of Xmin is reset to 1. If operation heretofore described is repeated P times, then a sum of P least values included in 4P data $\hat{x}_{p_1}^1$ to $\hat{x}_{p_2}^1$ is inverted

in sign and added in the accumulator 13.

In other words, for $4P$ data \hat{x}_k^l ($k = P_1$ to P_2) where l is a certain given value, a value D^l in the accumulator 13 becomes

5

$$D^l = (\text{Sum of } P \text{ greatest values}) - (\text{Sum of } P \text{ least values}) \quad (9)$$

The value D^l in the accumulator 13 is supplied to a second
10 comparator 14.

A comparator 14 compares the value D^l in the accumulator 13 with a value D_{\max} stored in a memory 15. If $D^l > D_{\max}$, then the value of the D_{\max} is replaced with D^l , and concurrently therewith another data L_{\max} stored in the memory 15 is replaced
15 with the value of l obtained at that time.

A series of operations heretofore described, i.e., operations of computing \hat{x}_k^l represented by the equation (8), deriving D^l of the equation (9), and conducting substitution of values of D_{\max} and L_{\max} are conducted for $l = 1$ to M . As
20 a result, the value of L_{\max} in the memory 15 becomes equal to such a value of l as to maximize D^l represented by the equation (9).

And l is fixed to $l = L_{\max}$. On the basis thereof, $a_i^{L_{\max}}$ ($i = -N_1$ to N_2) is selected and read out from the ROM 4. As
25 a result, computation of the equation (8) is conducted for, this time, the whole range ($k = 1$ to N) of k in the interpolation data computation section 7. As for $4P$ \hat{x}_k^l ($k = P_1$ to P_2) included

in data \hat{x}_k^1 thus obtained, subtraction of a value of $1/2$ is
 conducted by a subtracter 16. Its absolute value $|\hat{x}_k^1 - 1/2|$
 is further sent to a first latch circuit 17. The latch circuit
 17 is supplied with a latch clock having a frequency f_{cp}
 5 equivalent to $1/2 N$ ($N = N_1 + N_2 + 1 \cdots$ range of Σ of the
 equation (8)) of $2Nf_{cp}$ which is the computation clock frequency
 of the equation (8) from a clock oscillator 18 via a $1/2 N$
 frequency divider 19 and a switch 20. Its phase can be switched
 to a positive phase (CLK) or a negative phase (\overline{CLK}) by the
 10 switch 20. Initially, the switch 20 is positioned in the
 positive phase (CLK) side. A portion of the output $|\hat{x}_k^1 - 1/2|$
 of the subtracter 16 ranging from $k = P_1$ to $(P_1 + 2P)$, i.e.,
 a portion corresponding to a former half of a clock run-in
 portion is latched by the latch circuit 17 every other data
 15 until P data are latched. Its value is accumulated in an
 accumulator 21. A final value of the accumulated value is
 stored in a memory 22. Concurrently therewith, an initial
 value in the accumulator 21 is reset to 0. Subsequently, the
 switch 20 is switched to the negative phase (\overline{CLK}) side. A
 20 portion of the data $|\hat{x}_k^1 - 1/2|$ of the clock run-in portion
 corresponding to the latter half, i.e., a portion ranging from
 $k = (P_1/2 + P/2 + 1)$ to P_2 is latched by the latch circuit
 17 every other data. The values are accumulated in the
 accumulator 21. Subsequently, a final accumulated value B
 25 of the accumulator 21 is compared with a value A in the memory
 22 by a comparator 23. If $A \geq B$, the switch 20 is switched
 to the positive phase (CLK) side and fixed thereto. If $A <$

B, the switch 20 is switched to the negative phase ($\overline{\text{CLK}}$) side and fixed thereto.

When this operation is finished, data subsequent to the clock run-in sampled at desirable sampling points are obtained at an output of a second latch circuit 24 for latching the output of the interpolation data computation section 7 by using the clock supplied via the switch 20. At this time, the term "desirable sampling points", as shown in Fig. 4(b), means such sampling points as to maximize the difference between the maximum value and the minimum value when the waveform of the clock run-in portion is sampled at a frequency f_c . If P is set to 1 in the foregoing description, then the difference between the maximum value and the minimum value is literally maximized. In the case where P is plural, the difference between the average value of maximum values and average value of minimum values in respective cycles of a P -cycle waveform is maximized, the influence of noise and distortion being reduced.

An output 25 of the latch circuit 24 is supplied to a decoder included in a receiver directly or via an equalizer.

In Fig. 5, a second embodiment of the present invention is shown. This embodiment differs from the embodiment of Fig. 3 in the configuration of the interpolation coefficient selection section 8'. That is, as for the output \hat{x}_k^1 of the accumulator 5 of the interpolation data computation section 7, an absolute value $|\hat{x}_k^1|$ is first derived by a computation circuit 31, and it is stored in a memory 34 as e_k^1 . Subsequently,

$|\hat{x}_k^1 - 1/2|$ is derived by the computation circuit 31. This is compared with the value e_k^1 stored in the memory 34 by a comparator 33. If $|\hat{x}_k^1 - 1/2| < e_k^1$, e_k^1 is replaced with $|\hat{x}_k^1 - 1/2|$. Subsequently, $|\hat{x}_k^1 - 1|$ is derived by the computation
 5 circuit 31. This is compared with the value e_k^1 by the comparator 33. If $|\hat{x}_k^1 - 1| < e_k^1$, e_k^1 is replaced with $|\hat{x}_k^1 - 1|$. When this operation is finished, a value represented by the following equation is obtained as e_k^1 .

$$10 \quad e_k^L = \min \left(|x_k^L|, \left| x_k^L - \frac{1}{2} \right|, |x_k^L - 1| \right) \quad (10)$$

An accumulator 35 accumulates e_k^1 for $k = P_1$ to P_2 , and derives a value E^1 represented by the following equation

$$15 \quad E^L = \sum_{k=P_1}^{P_2} e_k^L \quad (11)$$

where P_1 and P_2 indicate a data section of the clock run-in portion as described earlier.

The output E^1 of the accumulator 35 is compared in a
 20 comparator 36 with data E_{min} stored in a memory 37. If $E^1 < E_{min}$, then E_{min} is replaced with E^1 , and concurrently therewith data L_{min} stored in the memory 37 is replaced with the value of 1 at that time.

If a series of operations are conducted for $l = 1$ to
 25 M , then such a value of l as to minimize E^1 indicated by the equation (11) is obtained as the value of L_{min} .

Then l is fixed to $l = L_{min}$, and the computation of the

equation (8) is conducted for the whole section of k ($k = 1$ to N). Resultant data is supplied to the subtracter 16. Ensuing operation is the same as that of the first embodiment, and consequently description thereof will be omitted. In the
5 second embodiment, such sample points that sample values approach 0, $1/2$ or 1 to be assumed, most closely are derived. As the output 25, sample values at desirable sample points as shown in Fig. 4(b) are obtained.

By the way, a level memory 32 is provided to store a
10 low level, a high level, and a middle point reference level of the signal. In processing of the present embodiment, low level = 0, high level = 1, and middle point = $1/2$. Of course, other values may be adopted. Furthermore, expansion to multi-value transmission is also possible. In addition, the
15 present embodiment need not necessarily utilize the clock run-in portion, but utilization of an arbitrary section of the transmitted signal is also possible.

Fig. 6 shows a third embodiment of the present invention. This embodiment differs from the embodiments of Figs. 3 and
20 5 in the configuration of the interpolation coefficient selection section 8'' and its insertion position. The embodiment first differs in that the interpolation coefficient selection section 8'' is not located after the interpolation data computation section 7 but located in parallel therewith.
25 Whereas the two foregoing embodiments use closed loop control as to the selection of the optimum interpolation coefficient sequence, the present embodiment uses open loop control.

A selection method of the optimum interpolation coefficient sequence in the present embodiment will now be described. First from the shift register 3, 4P data, i.e., x_1, x_2, \dots, x_{4P} included in data of the clock run-in section are sent to multipliers 41 and 42 in parallel. (Clock frequency $2Nf_{cp}$) These multipliers are supplied with digital sine waveforms having a frequency $Nf_{cp}/2$ and differing in phase from each other by 90° from the clock oscillator 18 via a $1/4$ frequency divider 40. From a view point of $2Nf_{cp}$, this means that a sequence of 0, 1, 0, -1, 0, \dots is supplied to the multiplier 41 and a sequence of 1, 0, -1, 0, 1, \dots shifted therefrom by one sample period is supplied to the multiplier 42. In the multipliers 41 and 42, the data x_1 to x_{4P} are multiplied by the above described coefficient sequences including 0, 1, and -1. By accumulating multiplication results in accumulators 43 and 43, therefore, there is obtained at an output of the accumulator 43

$$S_1 = (x_2 + x_6 + \dots + x_{4P-2}) - (x_4 + x_8 + \dots + x_{4P})$$

and there is obtained at an output of the accumulator 44

$$S_2 = (x_1 + x_5 + \dots + x_{4P-3}) - (x_3 + x_7 + \dots + x_{4P-1}).$$

By referring to the clock run-in waveform, it will be appreciated by referring to the clock run-in waveform of Fig. 4 that the following equation is satisfied,

$$\left. \begin{aligned} S_1 &= a \sin(2\pi\tau/4T) \\ S_2 &= a \cos(2\pi\tau/4T) \end{aligned} \right\} \quad (12)$$

where τ is a time difference between an actual sampling point

and a desirable sampling point, and "a" is a positive constant. Therefore, τ is derived by the following equation.

$$\tau = \frac{2T}{\pi} \tan^{-1} (S_1/S_2) \quad (13)$$

5

Since the relation between τ and l is given by the equation (7), the following expression is also possible.

$$l = \frac{2M}{T} = \frac{2M}{\pi} \tan^{-1} (S_1/S_2) \quad (14)$$

10

A ROM 45 is a read only memory functioning to output l by using a pair of S_1 and S_2 of the equation (14) as an address. Since the output of the ROM 45 thus provides the optimum value of l , this can be supplied to the ROM 4 serving as the interpolation coefficient memory.

15

Operation of the rest portion of Fig. 6 is the same as that of Fig. 3, and consequently description thereof will be omitted.

As heretofore described, it is possible according to the present invention to supply sample values corresponding to desirable sample phases to the decoder by using only digital computation without adjusting the phase of the sampling clock when taking in data in real time unlike the conventional scheme. Therefore, the present invention has features: (1) integration of the circuit is easy; and (2) operation is stable even in areas where there is a reception obstacle such as ghost. Especially when the present invention is applied to a data

20
25

receiver for a teletext signal incorporated into a home television set, a remarkable effect is obtained.

[Summary of the Invention]

First, a basic principle of the present invention will be described by referring to Fig. 2. There will now be considered a transmission waveform $x_{(t)}$ of an NRZ data signal which is transmitted at a signal transmission rate f_c and limited in transmission line band by f_c . It is now assumed that $x_{(t)}$ is sampled with a frequency of $2f_c$ and a sample value at that time is x_j . The following equation is satisfied on the basis of the sampling theorem

$$x_{(t)} = \sum_{j=-\infty}^{\infty} x_j h(t-jT) \quad (1)$$

where $T = 1/2f_c$, and $h_{(t)}$ is an interpolation function defined by the following equation.

$$h_{(t)} = \frac{\sin(\pi t/T)}{\pi t/T} \quad (2)$$

If it is attempted to derive a sample value \hat{x}_k of $x(t-\tau)$ obtained by delaying $x_{(t)}$ by τ , the following equation is obtained from the equation (1).

$$\hat{x}_k = x(t-\tau) | t=kT = \sum_{j=-\infty}^{\infty} x_j h(kT-\tau-jT) \quad (3)$$

If substitution $i = k - j$ is effected and the range over which the sum is derived is limited to a range $-N_1$ to N_2 , the following interpolation formula is obtained.

$$\hat{x}_k = \sum_{l=-N_1}^{N_2} h(lT-\tau) x_{k-l} \quad (4)$$

The equation (4) means that if a sample value x_k at an arbitrary sample point is given, a sample value \hat{x}_k at a sample point
 5 delayed by τ from the sample point is obtained by computation involving x_k and an interpolation coefficient sequence $h(iT-\tau)$.

The present invention has been made on the basis of such finding. The present invention is characterized in that a
 10 received data signal is sampled at a frequency equal to at least twice the signal transmission rate and digitized, and then interpolation data equivalent to data sampled at optimum phases are derived by using the interpolation formula (4).
 [Effect of the Invention]

15 Even if the sampling clock used when taking in data deviates from its optimum phase, it is possible to obtain data corresponding to optimum sampling points by conducting interpolation processing on the sample value sequence and supply the data to a decoder. According to the present
 20 invention, it thus becomes possible to stably receive a teletext signal or the like.

[Embodiments of the Invention]

A first embodiment of the present invention is Fig. 3. In Fig. 3, a received video signal is inputted from a terminal
 25 1, sampled at a frequency $2f_c$ which is twice the signal transmission rate f_c and digitized by an A/D converter 2. As for the digitized sample value x_k , sample values x_k with k

= 1 to N_p corresponding to one packet shown in Fig. 1(a) are stored in a shift register 3. (Exactly speaking, $(N + N_p)$ sample values obtained by adding the range $\Sigma(N_1 + N_2 + 1 = N)$ in the equation (4) to the length N_p of a packet are stored.)

5 Data x_k read out from the shift register 3 is supplied to an interpolation data computation section 7 including a ROM 4, a multiplier 5, and an accumulator 6.

The ROM 4 has M sets of interpolation coefficient sequences a_l^i represented by the following equation and stored therein,

$$a_l^i = h(iT - lT/M) \quad (i = -N_1 \sim N_2, l = 1 \sim M) \quad (5)$$

where $h(iT - lT/M)$ is a function indicated by the equation
15 (2). Substituting the equation (2) into the equation (5), we obtain the following equation.

$$a_l^i = \frac{h(iT - lT/M)}{h(iT - lT/M)} \quad (6)$$

20 As for M, a section $T = 1/2fc$ is divided into M equal parts to represent the time delay τ described in the equation (4). In other words,

$$\tau = (l/M) T \quad (l = 1 \sim M) \quad (7)$$

25

where l represents the magnitude of τ .

2. Scope of Claim for a Patent

(1) A data signal receiver for receiving and decoding a transmitted data signal, characterized in that the data signal receiver comprises:

5 means for sampling a received data signal at a frequency equal to at least twice a signal transmission rate and digitizing the sampled signal;

 means for extracting an optimum interpolation coefficient from at least two sample data in a clock run-in
10 portion included in sample data digitized by the sampling and digitizing means;

 means for conducting interpolation computation on the digitized sample data based on the interpolation coefficient extracted by the optimum interpolation coefficient extracting
15 means, and thereby deriving interpolation data; and

 means for sending interpolation data obtained by the interpolation data deriving means to a decoder.

(2) A data receiver according to claim 1, wherein the optimum interpolation coefficient extracting means conduct
20 computation on odd-numbered sample data and even-numbered sample data included in the digitized sample data, and thereby extracts interpolation coefficients.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—202681

⑤ Int. Cl.³

H 04 N 7/08

H 04 L 25/00

25/40

H 04 N 5/44

識別記号

庁内整理番号

6523—5C

6866—5K

7345—5K

7436—5C

⑬ 公開 昭和58年(1983)11月25日

発明の数 1

審査請求 未請求

(全 8 頁)

⑭ データ信号受信機

⑯ 特 願 昭57—85933

⑰ 出 願 昭57(1982)5月21日

⑱ 発 明 者 桜井優

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内

⑲ 発 明 者 村上純造

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所

内

⑳ 発 明 者 小原正晴

東京都世田谷区砧一丁目10番11
号日本放送協会総合技術研究所
内

㉑ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉒ 出 願 人 日本放送協会

東京都渋谷区神南2丁目2番1
号

㉓ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

データ信号受信機

2. 特許請求の範囲

(1) 伝送されたデータ信号を受信し復号するデータ信号受信機において、受信したデータ信号を信号伝送速度の2倍以上の周波数でサンプリングし、ディジタル化する手段と、この手段により得られたディジタルデータを記憶するディジタルデータ記憶手段と、複数組の補間係数系列を予め記憶する手段と、これら複数組の補間係数系列の中から、1組の最適な補間係数系列を選択する補間係数選択手段と、この手段により選択された補間係数系列によって、前記データ記憶手段から読み出されたディジタルデータに補間データ演算を施して補間データを得る手段と、この手段によって得られた補間データを復号部へ送出する手段とを備えたことを特徴とするデータ信号受信機。

(2) 補間データ演算は、ディジタルデータ記

憶手段から読み出されたディジタルデータに、補間係数選択手段によって選択された補間係数系列を乗じる乗算器と、この乗算器の乗算結果を累積する累加器とから構成されるものであることを特徴とする特許請求の範囲第1項記載のデータ信号受信機。

(3) 補間係数選択手段は、補間データのうちの受信データ信号のクロックランイン部に相当する部分のデータの最大値と最小値の差を検出し、その差が最大となるような補間係数系列を選択するものであることを特徴とする特許請求の範囲第1項記載のデータ信号受信機。

(4) 補間係数選択手段は、受信データ信号の2値レベル及びその中点のレベルの値を基準レベルとして記憶する基準レベルメモリを持ち、補間データのレベルとこの基準レベルとの差の絶対値和が最小となるような補間係数系列を選択するものであることを特徴とする第1項記載のデータ信号受信機。

(5) 補間係数選択手段は、ディジタルデータ

記憶手段に記憶された受信データ波形のクロックランイン部の位相と、デジタルデータ記憶手段からの読み出しクロックを基準に作成した最適位相のクロックランイン相当波形の位相との位相差を測定して、この位相差に対応する補間係数系列を選択するものであることを特徴とする特許請求範囲第1項記載のデータ信号受信機。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明はデータ信号受信機、特にテレビジョン信号に重畳された2値のデジタル信号からなるテレビジョン文字多重信号を受信するのに適した受信機に関するものである。

〔発明の技術的背景とその問題点〕

文字多重テレビジョン信号は一般に第1図(a)に示すように、テレビジョン信号の垂直帰線期間に文字等の情報を表わす2値のNRZデータ信号が文字多重データパケットDPとして重畳されている。Hは水平同期信号、Cはカラーバー

- 3 -

したのと等価なデータを安定に復号器に供給することを可能としたデータ信号受信機を提供するものである。

〔発明の概要〕

まず本発明の基礎原理を第2図によって説明する。今、信号伝送速度 f_c で伝送されかつ、伝送路の帯域が f_c で制限されているNRZデータ信号の伝送波形 $x(t)$ を考える。 $x(t)$ を $2f_c$ の周波数でサンプリングし、その時のサンプル値を x_j とすると、サンプリング定理より次式が成立つ。

$$x(t) = \sum_{j=-\infty}^{\infty} x_j h(t-jT) \quad \dots\dots (1)$$

ただし、 $T = 1/2f_c$ 、また $h(t)$ は次式で定義される関数である。

$$h(t) = \frac{\sin(\pi t/T)}{\pi t/T} \quad \dots\dots (2)$$

ところで、 $x(t)$ を τ だけ遅らせた $x(t-\tau)$ のサンプル値 \hat{x}_k を求めようとする、(1)式より、次式が得られる。

- 5 -

ストを表わす。

受信機は、このデータ信号をサンプリングする際に、第1図(b)に示すような2バイト分のクロックランイン信号CRIによって受信機に内蔵された発振器の位相を制御して、同図(c)のような最適な位相のサンプリングクロックを発生させるようになっている。

しかしながら、第1図(b)に示すような最適位相を持ったサンプリングクロックを得る事は次の理由から困難となる場合が多い。

(1) クロックランイン信号が8サイクル分しかなく、又それが1/60秒の周期でしか存在しない。

(2) 家庭用テレビジョン受信機においては、 S/N が低い場合、あるいはゴースト等による波形ひずみが大きい場合がかなり多い。

〔発明の目的〕

本発明の目的は、最適な位相のサンプリングクロックを実時間で得ることが困難な条件下においても、最適なサンプルポイントでサンプル

- 4 -

$$\hat{x}_k = x(t-\tau) \Big|_{t=kT} = \sum_{j=-\infty}^{\infty} x_j h(kT-\tau-jT) \quad \dots\dots (3)$$

ここで、 $l=k-j$ と置換え、さらに和をとる範囲を $-N_1 \sim N_2$ まで制限すると次の補間公式が得られる。

$$\hat{x}_k = \sum_{l=-N_1}^{N_2} h(lT-\tau) x_{k-l} \quad \dots\dots (4)$$

(4)式は、任意のサンプル点でのサンプル値 x_k が与えられていればそのサンプル点より τ だけ遅れたサンプル点でのサンプル値 \hat{x}_k が x_k と補間係数系列 $h(lT-\tau)$ との演算によって得られるという事を示している。

本発明はこのような知見に基いてなされたもので、受信したデータ信号を信号伝送速度の2倍以上の周波数でサンプリングしデジタル化した後、記憶手段に蓄積し、この記憶手段より読み出されたデータに対し補間係数系列を用いて補間データを演算するとともに、その際用いる補間係数系列を、もともと最適位相でサンプリングしたのと等価な補間データが得られるが

- 6 -

ごとく選択するようにし、この選択された補間係数系列を用いて得られた補間データを復号器へ送出するようにしたことを特徴としている。

〔発明の効果〕

本発明によれば、実時間でデータを取り込む際のサンプリングクロックが最適位相からずれていても、いったん記憶されたサンプル値系列に対して補間処理を施すことによって最適なサンプリングポイントに対応するデータを得て、復号器に供給することができ、テレビジョン文字多重信号等の受信を安定に行なうことが可能となる。

〔発明の実施例〕

第3図に本発明の第1の実施例を示す。図において、受信されたビデオ信号は端子1より入力され、A/D変換器2によって信号伝送速度 f_c の2倍の周波数 $2f_c$ でサンプリングされ、デジタル化される。このデジタル化されたサンプル値 x_k は、第1図(a)に示す1パケット分 $k=1 \sim N_p$ が、シフトレジスタ3に記憶される。

-7-

事になる。

乗算器5及び累乗器6は、シフトレジスタ3へのデータ書き込みが終わった時点から、シフトレジスタ3より読み出されたデータ x_k と、ROM4より読み出された補間係数 a_l^L との乗算果積値 \hat{x}_k^L を補間データとして次式に基づいて演算する。

$$\hat{x}_k^L = \sum_{l=-N_1}^{N_2} a_l^L x_{k-l} \quad (L=1 \sim M) \quad (6)$$

(このときのシフトレジスタ3およびROM4の読み出しクロック周波数を $2Nf_{cp}$ ($N=N_1+N_2+1$... 累乗数)とする。補間データ \hat{x}_k^L は $2f_{cp}$ の周波数で出力される。) \hat{x}_k^L は第2図に示すようにサンプル値 x_k より $\tau=(L/M)T$ だけ遅れた点のサンプル値に相当している。

一方、ROM4より読み出すべき最適な補間係数系列を選択するための補間係数選択部8は次のように構成されている。シフトレジスタ9は、ある定められた L に対して \hat{x}_k^L の中から、第4図(a)に示すようなクロックランイン部のデータ

-9-

(正確には(4)式中の Σ の範囲($N_1+N_2+1=N$)をパケットの長さ N_p に加えた($N+N_p$)個のサンプル値を記憶する)

シフトレジスタ3から読み出されるデータ x_k は、ROM4と乗算器5および累乗器6からなる補間データ演算部7に与えられる。

ここで、ROM4には次式で示される M 組の補間係数系列 a_l^L が記憶されている。

$$a_l^L = b(1 - L/M) \quad (l=-N_1 \sim N_2, L=1 \sim M) \quad (5)$$

ここで $b(1 - L/M)$ は(2)式で示される関数であり、(2)式を(5)式へ代入すると

$$a_l^L = \frac{\sin[\pi(1 - L/M)]}{\pi(1 - L/M)} \quad (6)$$

となる。ただし M は、区間 $T=1/2f_c$ を M 等分して(4)式で述べた時間遅れ τ を表現しているものである。すなわち、

$$\tau = (L/M)T \quad (L=1 \sim M) \quad (7)$$

となっており、 L は τ の大きさを表現している

-8-

のうちの $4P$ 個、すなわち $\hat{x}_{P_1}^L \sim \hat{x}_{P_2}^L$ を読み込む。ただし $4P=P_2-P_1-1$ である。このシフトレジスタ9から読み出されるデータ \hat{x}_k^L は第1のコンパレータ10に与えられる。

コンパレータ10は、まずメモリ11に記憶された値 X_{max} と、シフトレジスタ9より読み出されたデータ \hat{x}_k^L との比較を $k=P_1 \sim P_2$ まで行い、もし $\hat{x}_k^L > X_{max}$ なら、メモリ11内の X_{max} の値を \hat{x}_k^L で置換える。次にコンパレータ10は X_{max} と \hat{x}_k^L との比較を再び $k=P_1 \sim P_2$ まで行い、もし $\hat{x}_k^L = X_{max}$ ならその時の \hat{x}_k^L の値を $q-1$ によって $1/2$ (信号レベルの範囲を $0 \sim 1$ とする)に書き換える。その操作が終了と、メモリ11内の X_{max} の値は累乗器13に累乗され、同時に X_{max} は0にリセットされる。

次にふたたび、コンパレータ10はメモリ11内の X_{max} と、シフトレジスタ9からのデータ \hat{x}_k^L との比較を $k=P_1 \sim P_2$ まで行い、 $\hat{x}_k^L > X_{max}$ なら X_{max} を \hat{x}_k^L に置き換え、さらにもう1度 X_{max} と \hat{x}_k^L との比較を $k=P_1 \sim P_2$

-10-

まで行い $\hat{x}_k^L = X_{\max}$ なら \hat{x}_k^L を $\frac{1}{2}$ に置き換え、
その後 X_{\max} の値を累積器 13 に加算する。以上の操作を P 回くり返すと、累積器 13 には $\hat{x}_{P_1}^L \sim \hat{x}_{P_2}^L$ の 4P 個のデータのうち、大きい方から順に P 個とった値の和が得られる。

次にコンパレータ 10 はメモリ 11 に記憶された値 X_{\min} とシフトレジスタ 9 からのデータ \hat{x}_k^L との比較を $k=P_1 \sim P_2$ まで行い、
 $\hat{x}_k^L < X_{\min}$ なら X_{\min} の値を \hat{x}_k^L に置き換える。
次に、ふたたび \hat{x}_k^L と X_{\min} の比較を $k=P_1 \sim P_2$ まで行い、もし $\hat{x}_k^L = X_{\min}$ なら \hat{x}_k^L の値をゲート 12 によって $\frac{1}{2}$ に置き換える。その後、
 X_{\min} の値の符号を逆にした値を、累積器 13 に加算し同時に X_{\min} の値を 1 にリセットする。以上の操作を P 回くり返すと、累積器 13 には、
 $\hat{x}_{P_1}^L \sim \hat{x}_{P_2}^L$ の 4P 個のデータのうち、小さい方から順に P 個とった値の和の符号を逆にした値が加算される事になる。

すなわち、ある与えられた \angle の値に対して、累積器 13 内の値 D^L は 4P 個のデータ \hat{x}_k^L

-11-

がすべての k の範囲 ($k=1 \sim N$) について補間データ演算部 7 で行なわれる。その結果得られたデータ \hat{x}_k^L のうちの 4P 個の \hat{x}_k^L ($k=P_1 \sim P_2$) は減算器 16 によって値 $\frac{1}{2}$ が減算され、その絶対値 $|\hat{x}_k^L - \frac{1}{2}|$ がさらに第 1 のラッチ回路 17 へ送られる。ラッチ回路 17 には (8) 式の演算クロック周波数である $2Nf_{cp}$ の $\frac{1}{2}N$ ($N=N_1+N_2+1$... (8) 式の Σ の範囲) の周波数 f_{cp} のラッチ用クロックが $2Nf_{cp}$ のクロック発振器 18 から $\frac{1}{2}N$ 分周器 19 およびスイッチ 20 を介して供給されており、その位相はスイッチ 20 によって、正相 (CLK) あるいは逆相 ($\overline{\text{CLK}}$) に切替える事ができるようにしている。ここで、スイッチ 20 は最初正相 (CLK) 側になっており、減算器 16 の出力 $|\hat{x}_k^L - \frac{1}{2}|$ の $k=P_1 \sim (P_1+2P)$ までの部分、すなわちクロックランイン部の前半に相当する部分がラッチ回路 17 で 1 つおきに P 個ラッチされ、その値が累積器 21 に累積される。累積値の最終値はメモリ 22 に記憶され同時に累積器 21 は初期値が 0 にリセットされる。次

-13-

($k=P_1 \sim P_2$) に対して

$$D^L = (\text{大きい } \angle \text{ の } P \text{ 個の和}) - (\text{小さい } \angle \text{ の } P \text{ 個の和}) \quad \dots (9)$$

となる。この累積器 13 内の値 D^L は第 2 のコンパレータ 14 に与えられる。

コンパレータ 14 は累積器 13 内の値 D^L とメモリ 15 に記憶された値 D_{\max} とを比較し、もし $D^L > D_{\max}$ であれば D_{\max} の値を D^L に置換えると同時に、メモリ 15 に記憶されているもう 1 つのデータ L_{\max} をその時の \angle の値に置換える。

以上の一連の動作、すなわち (8) 式で表わされる \hat{x}_k^L を演算し、(9) 式の D^L を求め、 D_{\max} , L_{\max} の値の置換を行うまでの動作が、 $\angle = 1 \sim M$ までについて行なわれる。その結果、メモリ 15 内の L_{\max} の値は (9) 式で示される D^L を最も大きくするような \angle の値と等しくなっている。

そして $\angle = L_{\max}$ に固定され、これに基づき ROM 4 より $L_{\max}^{L_{\max}}$ ($L = -N_1 \sim N_2$) が選択されて読み出されることによって今度は (8) 式の演算

-12-

に、スイッチ 20 は逆相 ($\overline{\text{CLK}}$) 側に切替り、クロックランイン部のデータ $|\hat{x}_k^L - \frac{1}{2}|$ の後半に相当する部分、すなわち $k=(P_1+\frac{P}{2}+1) \sim P_2$ について 1 つおきにラッチ回路 17 でラッチされその値が累積器 21 で累積される。次に累積器 21 の最終累積値 B とメモリ 22 内の値 A がコンパレータ 23 によって比較され、もし $A \geq B$ ならスイッチ 20 は正相 (CLK) 側に、 $A < B$ なら逆相 ($\overline{\text{CLK}}$) 側に切替えられて固定される。

この動作が終ると、スイッチ 20 を介して与えられるクロックによって補間データ演算部 7 の出力をラッチする第 2 のラッチ回路 24 の出力には、望ましいサンプリングポイントでサンプリングされたところの、クロックランイン以後のデータが得られる。なお、この時の望ましいサンプリングポイントとは、第 4 図 (b) に示すように、クロックランイン部の波形を周波数 f_c でサンプリングした場合の、最大値と最小値の差が最も大きくなるようなサンプリングポイントを意味している。上記の説明で P を 1 にとれば、

-14-

文字通り最大値と最小値の差を最大化していることになるが、Pが複数の場合にはPサイクルの波形の各サイクルの最大値の平均値と最小値の平均値との差を最大化していることになり、雑音や歪の影響が軽減される。

ラッチ回路24の出力25は、受信機に含まれる復号器に直接あるいは等化器などを介して供給される。

第5図には本発明の第2の実施例を示す。この実施例においては、補間係数選択部8'の構成が第3図と異なっている。すなわち、補間データ演算部7の累積器5の出力 \hat{x}_k^L は、まず演算回路31によって絶対値 $|\hat{x}_k^L|$ が求められ、それがメモリ34に e_k^L として記憶される。次に演算回路31によって $|\hat{x}_k^L - \frac{1}{2}|$ が求められ、これがメモリ34内の値 e_k^L とコンパレータ33によって比較され、もし $|\hat{x}_k^L - \frac{1}{2}| < e_k^L$ なら e_k^L は $|\hat{x}_k^L - \frac{1}{2}|$ で置換えられる。次に演算回路31によって $|\hat{x}_k^L - 1|$ が求められ、これと e_k^L の値がコンパレータ33によって比較され、

-15-

そこで、 $L = L_{min}$ に固定して、今度は(8)式の演算がkの全区間($k = 1 \sim N$)について行われ、その結果得られたデータは減算器16へ供給される。以下の動作は第1の実施例と同じなので省略する。この第2の実施例では、サンプル値が、とるべき値0, $\frac{1}{2}$, 1のどれかに最も近づくような、サンプル点が求められるわけで、出力25としては、やはり第4図(b)に示すような望ましいサンプル点でのサンプル値が得られる事となる。

なお、レベルメモリ32は信号の低レベル、高レベル及び中点の基準レベルを記憶するためのものであり、本実施例では、低レベル=0、高レベル=1、中点= $\frac{1}{2}$ として扱っている。もちろん、これ以外の値でもよく、又多値伝送の場合にも拡張は可能である。又本実施例は、必ずしも、クロックランイン部を利用する必要はなく、伝送信号の任意の区間を利用する事も可能である。

第6図は本発明の第3の実施例を示すもので

-17-

もし $|\hat{x}_k^L - 1| < e_k^L$ なら e_k^L は $|\hat{x}_k^L - 1|$ で置換えられる。この動作が終わると、 e_k^L として次の式で表わされる値が得られる。

$$e_k^L = \min(|\hat{x}_k^L|, |\hat{x}_k^L - \frac{1}{2}|, |\hat{x}_k^L - 1|) \quad (9)$$

累積器35は、各kに対する e_k^L を $k = P_1 \sim P_2$ まで累積し次式で示される値 E^L を求める。

$$E^L = \sum_{k=P_1}^{P_2} e_k^L \quad (10)$$

ただし、 P_1, P_2 は先に説明した通り、クロックランイン部のデータ区間を示している。

累積器35の出力 E^L は、コンパレータ36によってメモリ37に記憶されたデータ E_{min} と比較され、もし $E^L < E_{min}$ なら E_{min} は E^L によって書き換えられ、同時に、メモリ37内のデータ L_{min} はその時の L の値によって書き換えられる。

以上の一連の動作が $L = 1 \sim M$ まで行なわれると L_{min} の値としては、(10)式で示される E^L が最小となるような L の値が得られる。

-16-

ある。この実施例においては、補間係数選択部8'の構成および挿入位置が第3図および第5図とは異なっている。すなわち、補間係数選択部8'は、補間データ演算部7の後にはなく、これと並列に配置されている点がまず異なる。前記二つの実施例が、最適補間係数系列の選択に関して閉ループ制御であるのに対して、本実施例では開ループ制御である。

本実施例における最適補間係数系列の選択法を説明する。まずシフトレジスタ3から、クロックランイン部のデータのうちの4P個、すなわち x_1, x_2, \dots, x_{4P} が乗算器41および42に並列に送られる。(クロック周波数 $2Nf_{cp}$)

これら乗算器へは、 $2Nf_{cp}$ のクロック発振器18から、 $1/4$ 分周器40を介して、互に 90° 位相の異なる周波数 $Nf_{cp}/2$ のデジタル正弦波形が供給されている。その意味は $2Nf_{cp}$ のクロックで見ると、乗算器41へは0, 1, 0, -1, 0, ...という系列が、また乗算器42へはこれとは1サンプル周期がずれた1, 0, -1, 0, 1, ...

-18-

…という系列が供給されているということである。乗算器11および12ではシフトレジスタ3から読み出されたデータ $x_1 \sim x_{4p}$ に対して上記0, 1, -1からなる系数列が乗算されるから、乗算結果を累積器13および14で累積すると、累積器13の出力には

$$S_1 = (x_2 + x_6 + \dots + x_{4p-2}) - (x_4 + x_8 + \dots + x_{4p})$$

が、また累積器14の出力には

$$S_2 = (x_1 + x_5 + \dots + x_{4p-3}) - (x_3 + x_7 + \dots + x_{4p-1})$$

が得られる。第4図のクロックランイン波形を参照すると、実際のサンプリング点と望ましいサンプリング点との時間差を τ としたとき、

$$\begin{aligned} S_1 &= a \sin(2\pi\tau/4T) \\ S_2 &= a \cos(2\pi\tau/4T) \end{aligned} \quad (12)$$

a は正の定数

となることがわかる。これから τ は

$$\tau = \frac{2T}{\pi} \tan^{-1}(S_1/S_2) \quad (13)$$

によって求まる。 τ と \angle の関係は(7)式で与えら

-19-

のである。

4. 図面の簡単な説明

第1図はテレビジョン文字多重信号フォーマットとその受信動作を示す波形図、第2図は本発明の原理を説明するための図、第3図は本発明の第1の実施例の構成図、第4図はその動作を説明するための図、第5図および第6図は本発明の他の実施例の構成図である。

1…データ信号入力端子、2…A/D変換器、3…シフトレジスタ(記憶手段)、4…ROM、5…乗算器、6, 13, 16, 21, 35…累積器、7…補間データ演算部、8, 8', 8''…補間係数選択部、9…シフトレジスタ、10, 14, 23, 33, 36…コンパレータ、11, 15, 22, 34, 37…メモリ、12…ゲート、16…減算器、17, 24…ラッチ回路、18…クロック発振器、19…1/2分周器、31…演算回路、32…レベルメモリ。

出願人代理人 弁理士 島江 武彦

-21-

れるから

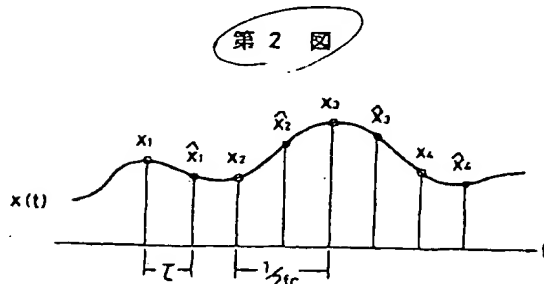
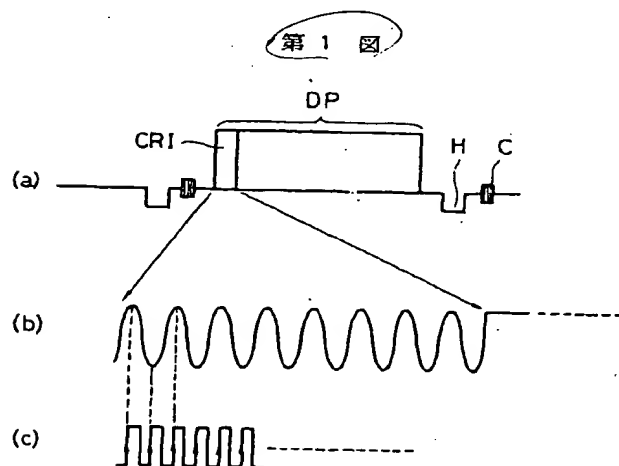
$$\angle = \frac{2M}{T} = \frac{2M}{\pi} \tan^{-1}(S_1/S_2) \quad (14)$$

としてもよい。ROM15は、(14)式の S_1 と S_2 の組をアドレスとして、 \angle を出力するようにした読み出し専用メモリである。ROM15の出力はこのようにして \angle の最適値を与えるから、これを補間係数メモリであるROM16に供給すればよい。

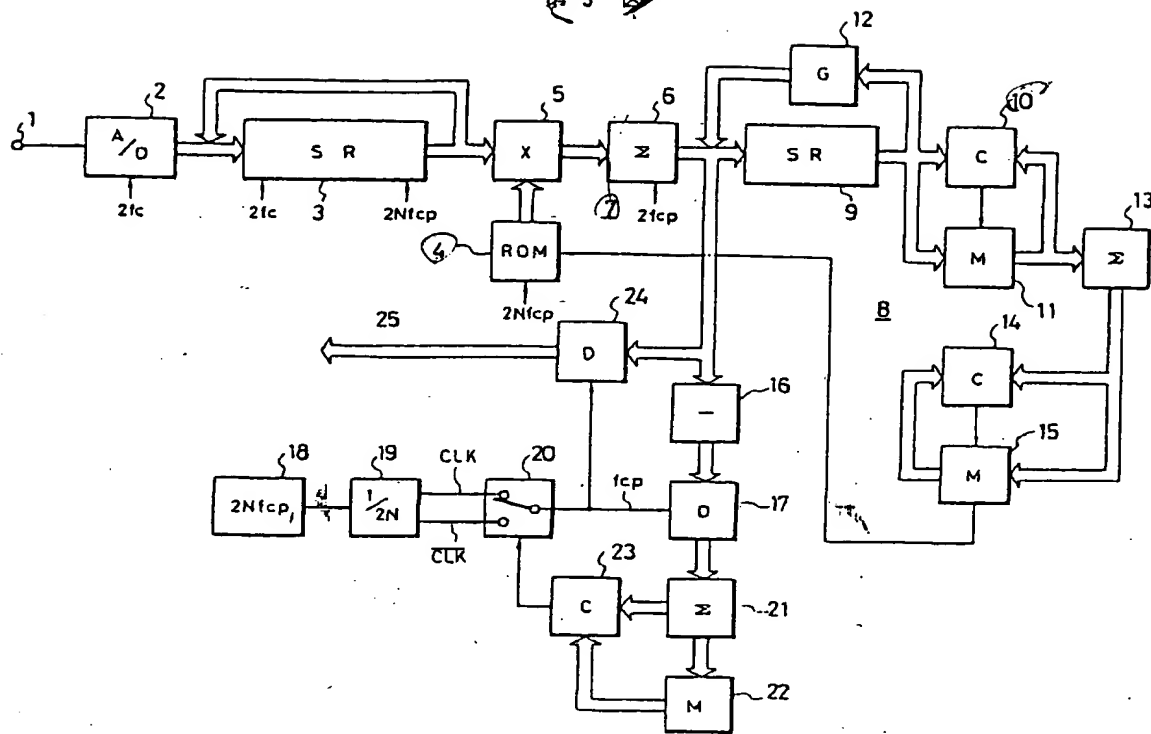
第6図のうち上記以外の部分の動作は第3図の場合と同じであるので説明を省略する。

以上のごとく、本発明によれば従来の方式のように実時間でデータを取り込む際のサンプリングクロックの位相を調整することなしに、デジタル演算のみで望ましいサンプリング位相に対応するサンプル値を復号器に供給する事ができるため、(1)回路の集積化が容易である、(2)ゴースト等の受信障害地域でも安定に動作する、という特長を持ち、特に家庭用テレビジョン受信機に組込まれる文字多重信号用のデータ受信機等に適用した場合、顕著な効果が得られるも

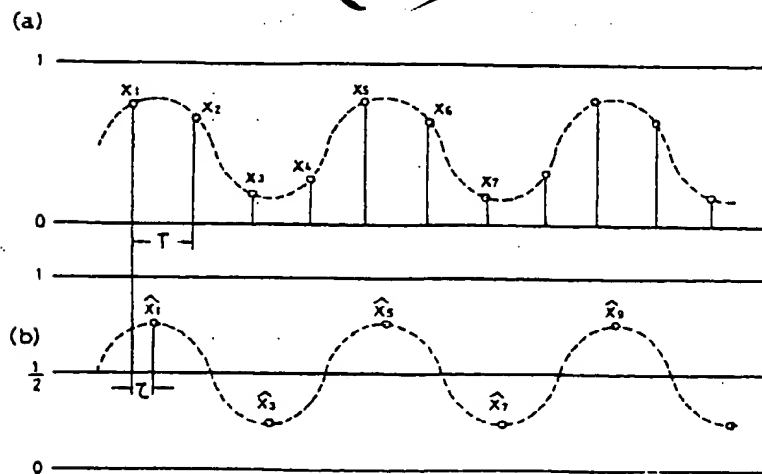
-20-



第 3 図



第 4 図



平成 1. 4. 24 発

特許法第17条の2の規定による補正の掲載

手続補正書

平成元年 1. 20
月 日

昭和 57 年特許願第 85933 号 (特開 昭 58-202681 号, 昭和 58 年 11 月 25 日 発行 公開特許公報 58-2027 号掲載) については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 1 (1)

特許庁長官 宮田文雄殿

Int. Cl. 1	識別記号	庁内整理番号
H04N 7/08		8838-5C
H04L 25/00		7345-5K
25/40		7345-5K
H04N 5/44		6957-5C

1. 事件の表示

特願昭 57-85933 号

2. 発明の名称

データ信号受信機

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝 (ほか1名)

4. 代理人

東京都千代田区豊が岡3丁目7番2号

〒100 電話 03 (502) 3181 (大代表)

(5847) 弁理士 鈴 江 武 彦

5. 自発補正

6. 補正の対象

明細書

EPI

1. 1. 20

7. 補正の内容

(1) 特許請求の範囲の記載を別紙の通り訂正する。

(2) 明細書第4頁第8行～第9頁第1行の記載を下記の通り訂正する。

しかしながら、第1図図に示すような最適位相を持ったサンプリングクロックを得る事は次の理由から困難となる場合が多い。

(1) クロックラインイン信号が8サイクル分しかなく、又それが1/60秒の周期でしか存在しないため、安定なクロック位相制御が難しい。

(2) 家庭用テレビジョン受信機においては、S/Nが低い場合、あるいはゴースト等による波形ひずみが多い場合がかなり多く、クロック位相制御が適正に行なわれない。

〔発明の目的〕

本発明の目的は、最適な位相のサンプリングクロックを得ることが困難な条件下においても、最適なサンプルポイントでサンプルしたのと等

価なデータを安定に復号器に供給することを可能としたデータ信号受信機を提供するものである。

〔発明の概要〕

まず本発明の基礎原理を第2図によって説明する。今、信号伝送速度 f_c で伝送されかつ、伝送路の帯域が f_c で制限されている NRZ データ信号の伝送波形 $x(t)$ を考える。 $x(t)$ を $2f_c$ の周波数でサンプリングし、その時のサンプル値を x_j とすると、サンプリング定理より次式が成立つ。

$$x(t) = \sum_{j=-\infty}^{\infty} x_j h(t-jT) \quad \dots\dots (1)$$

ただし、 $T = 1/2f_c$ 、また $h(t)$ は次式で定義される内挿関数である。

$$h(t) = \frac{\sin(\pi t/T)}{\pi t/T} \quad \dots\dots (2)$$

ところで、 $x(t)$ を τ だけ遅らせた $x(t-\tau)$ のサンプル値 x_k を求めようとする、(1)式より、次式が得られる。

$$\hat{x}_k = x(t-r) | t=kT = \sum_{j=-\infty}^{\infty} x_j b(kT-r-jT) \quad \dots (3)$$

ここで、 $j=k-l$ と置換え、さらに和をとる範囲を $-N_1 \sim N_2$ まで制限すると次の補間公式が得られる。

$$\hat{x}_k = \sum_{l=-N_1}^{N_2} b(lT-r) x_{k-l} \quad \dots (4)$$

(4)式は、任意のサンプル点でのサンプル値 x_k が与えられていれば、そのサンプル点より r だけ遅れたサンプル点でのサンプル値 \hat{x}_k が x_k と補間係数系列 $b(lT-r)$ との演算によって得られるという事を示している。

本発明はこのような知見に基づいてなされたもので、受信したデータ信号を信号伝送速度の2倍以上の周波数でサンプリングしデジタル化した後、最適位相でサンプリングしたのと等価な補間データを(4)式の補間公式によって求めることを特徴としている。

〔発明の効果〕

本発明によれば、データを取り込む際のサン

ここで、ROM 4 には次式で示される M 組の補間係数系列 a_l^L が記憶されている。

$$a_l^L = b(lT - LT/M) \quad (l = -N_1 \sim N_2, L = 1 \sim M) \quad \dots (5)$$

ここで $b(lT - LT/M)$ は(2)式で示される関数であり、(2)式を(5)式へ代入すると

$$a_l^L = \frac{\sin \pi (1 - L/M)}{\pi (1 - L/M)} \quad \dots (6)$$

となる。ただし M は、区間 $T = 1/2f_s$ を M 等分して(4)式で述べた時間遅れ r を表現しているものである。すなわち、

$$r = (L/M) T \quad (L = 1 \sim M) \quad \dots (7)$$

となっており、 L は r の大きさを表現している事になる。

プリンククロックが最適位相からずれていても、サンプル値系列に対して補間処理を施すことにより最適なサンプリングポイントに対応するデータを得て、復号器に供給することができ、テレビジョン文字多重信号等の受信を安定に行なうことが可能となる。

〔発明の実施例〕

第3図に本発明の第1の実施例を示す。図において、受信されたビデオ信号は端子1より入力され、A/D変換器2によって信号伝送速度 f_s の2倍の周波数 $2f_s$ でサンプリングされ、デジタル化される。このデジタル化されたサンプル値 x_k は、第1図(a)に示す1パケット分 $k=1 \sim N_p$ が、シフトレジスタ3に記憶される。(正確には(4)式中の \sum の範囲 $(N_1 + N_2 + 1 = N)$ をパケットの長さ N_p に加えた $(N + N_p)$ 個のサンプル値を記憶する)

シフトレジスタ3から読み出されるデータ x_k は、ROM 4 と乗算器5および乗算器6からなる補間データ演算部7に与えられる。

2. 特許請求の範囲

(1) 伝送されたデータ信号を受信し復号するデータ信号受信機において、

受信したデータ信号を信号伝送速度の2倍以上の周波数でサンプリングし、デジタル化する手段と、

この手段によりデジタル化されたサンプルデータのうちクロックランイン部の中の少なくとも2以上のサンプルデータより最適な補間係数を抽出する手段と、

この手段により抽出された補間係数に基づいて、前記デジタル化されたサンプルデータに補間演算を施して補間データを得る手段と、

この手段によって得られた補間データを復号部へ送出する手段とを備えたことを特徴とするデータ信号受信機。

(2) 補間係数を抽出する手段は、デジタル化されたサンプルデータの奇数番目のサンプルデータと偶数番目のサンプルデータに演算を施して補間係数を抽出するものである特許請求の範囲第1

平成 1. 4. 24 発行

項記載のデータ信号受信機。

出願人代理人 弁理士 鈴江武彦